

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 8 0 2 3 2
Application Number:

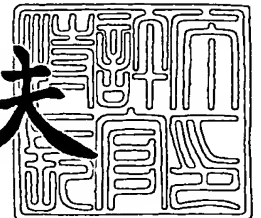
[ST. 10/C]: [J P 2 0 0 3 - 0 8 0 2 3 2]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 4 年 2 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 EP-0444301

【提出日】 平成15年 3月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/203

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 大橋 幸司

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 木島 健

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 名取 栄治

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【先の出願に基づく優先権主張】

【出願番号】 特願2002-371523

【出願日】 平成14年12月24日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電極膜およびその製造方法、ならびに強誘電体メモリおよび半導体装置

【特許請求の範囲】

【請求項 1】 基板上に電極膜を形成する製造方法であって、

(a) 前記基板上に電極材料の初期結晶核を島状に形成し、

(b) 前記初期結晶核を成長させて電極材料の成長層を形成することを含み、
前記 (a) における基板温度は、前記 (b) における基板温度より高い、電極膜の製造方法。

【請求項 2】 請求項 1 において、

前記 (a) における基板温度は、200℃以上600℃以下に設定され、

前記 (b) における基板温度は、200℃より低い温度に設定される、電極膜の製造方法。

【請求項 3】 基板上に電極膜を形成する製造方法であって、

(a) 前記基板上に電極材料の初期結晶核を島状に形成し、

(b) 前記初期結晶核を成長させて電極材料の成長層を形成することを含み、
前記 (a) および (b) において、前記初期結晶核を形成する際の電極材料の粒子のエネルギーは、前記成長層を形成する際の電極材料の粒子のエネルギーよりも高い、電極膜の製造方法。

【請求項 4】 請求項 1～3 のいずれかにおいて、

前記 (a) において、前記初期結晶核は、スパッタ法を用いて形成され、

前記 (b) において、前記成長層は、蒸着法を用いて形成される、電極膜の製造方法。

【請求項 5】 請求項 1～4 のいずれかにおいて、

前記 (a) および (b) を複数回繰り返して行って複数の電極膜を積層する、電極膜の製造方法。

【請求項 6】 請求項 1～5 のいずれかにおいて、

前記 (b) の後に熱処理を行うことを含む、電極膜の製造方法。

【請求項 7】 請求項 1～6 のいずれかにおいて、
前記電極材料は、Pt、Ir、Ru、Cu、Ag、IrO₂、RuO₂、TiN、Ta₂N、PbPt₃ の少なくともいずれかである、電極膜の製造方法。

【請求項 8】 請求項 1～7 のいずれかにおいて、
前記 (b) の後に、少なくとも前記成長層の粒界の間隙を拡散防止用電極材料で埋めることを含む、電極膜の製造方法。

【請求項 9】 請求項 8 において、
前記拡散防止用電極材料は、Ir、IrO₂、Ru、RuO₂、HfO₂、Al₂O₃ の少なくともいずれかである、電極膜の製造方法。

【請求項 10】 請求項 1～9 に記載の製造方法により形成される電極膜。

【請求項 11】 請求項 10 に記載の電極膜を含む強誘電体メモリ。

【請求項 12】 請求項 11 に記載の強誘電体メモリを含む半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電極膜およびその製造方法、ならびに強誘電体メモリおよび半導体装置に関する。

【0002】

【背景技術】

強誘電体メモリ (FeRAM) は、強誘電体薄膜を用いた強誘電体キャパシタの自発分極によりデータを保持するものである。また近年、かかる強誘電体メモリを用いた半導体装置が注目されている。

【0003】

この強誘電体メモリの電極には、電極間に挟まれる強誘電体膜の結晶配向性や強誘電体膜の構成元素の拡散防止の観点から、結晶性がよく、隙間がないことが必要とされる。

【0004】

しかし、従来では、例えば、スパッタ法を用いて基板温度を高くして電極膜を形成しており、電極膜の結晶性は良好であるが、図 19 に示すように、粒界が比

較的多い柱状や粒状の結晶となる。すると、この電極膜の間に形成される強誘電体膜の材料の拡散が生じてしまい、強誘電体メモリの特性に望ましくない影響を与えるおそれがある。また、電極膜を形成する際の基板温度が高いと、図 8 に示すように、電極膜の表面の平坦性も好ましいものではない。

【0005】

【発明が解決しようとする課題】

本発明の目的は、粒界が少なく、かつ結晶性および平坦性の良好な電極膜およびその製造方法を提供することにある。

【0006】

また、本発明の他の目的は、この電極膜を用いた強誘電体メモリおよび半導体装置を提供することにある。

【0007】

【課題を解決するための手段】

1. 本発明の第 1 の電極膜の製造方法は、

基板上に電極膜を形成する製造方法であって、

(a) 前記基板上に電極材料の初期結晶核を島状に形成し、

(b) 前記初期結晶核を成長させて電極材料の成長層を形成することを含み、
前記 (a) における基板温度は、前記 (b) における基板温度より高い。

【0008】

本明細書において、「基板上に」とは、基板の直接その上という場合に限らず、所定の層を介している場合も含まれる。

【0009】

本発明の第 1 の電極膜の製造方法によれば、まず、基板上に電極材料の初期結晶核を形成してから、この初期結晶核を成長させて成長層とすることにより電極膜を得る。このとき、初期結晶核を形成するときの基板温度が成長層を形成するときの基板温度より高いため、初期結晶核は、良好な結晶性を有する。そして、成長層は、初期結晶核を形成するときよりも基板温度が低いため、粒界の少ない結晶となり平坦性がよい。さらに、初期結晶核の良好な結晶性を保持しつつ成長させていくことができる。従って、本発明の製造方法によれば、粒界が少なく、

結晶性および平坦性の良好な電極膜を得ることができる。

【0010】

なお、本発明においては、初期結晶核を複数の異なる電極材料からなる複数の結晶核により構成されるように形成してもよいし、また、初期結晶核と成長層とが異なる電極材料からなる電極膜となるように形成することもできる。

【0011】

ここで、本発明の第1の電極膜の製造方法では、前記(a)における基板温度を、200℃以上600℃以下に設定し、前記(b)における前記基板温度を、200℃より低い温度に設定することができる。

【0012】

2. 本発明の第2の電極膜の製造方法は、
基板上に電極膜を形成する製造方法であって、

- (a) 前記基板上に電極材料の初期結晶核を島状に形成し、
 - (b) 前記初期結晶核を成長させて電極材料の成長層を形成することを含み、
- 前記(a)および(b)において、前記初期結晶核を形成する際の電極材料の粒子のエネルギーは、前記成長層を形成する際の電極材料の粒子のエネルギーよりも高い。

【0013】

本発明の第2の電極膜の製造方法によれば、初期結晶核を形成する際の電極材料の粒子のエネルギーが成長層を形成する際の電極材料の粒子のエネルギーより高いため、形成された初期結晶核は、結晶性がよい。そして、成長層は、電極材料の粒子のエネルギーが低くなるように初期結晶核の結晶性を保持しつつ形成されるので、粒界の少ない結晶となり平坦性もよい。従って、本発明の製造方法によっても、粒界が少なく、結晶性および平坦性の良好な電極膜を得ることができる。

【0014】

なお、本発明においても、初期結晶核を複数の異なる電極材料からなる複数の結晶核により構成されるように形成してもよいし、また、初期結晶核と成長層とが異なる電極材料からなる電極膜となるように形成することもできる。

【0015】

本発明の第1および第2の電極膜の製造方法は、以下の態様を取り得る。

【0016】

(1) 前記(a)において、前記初期結晶核を、スパッタ法を用いて形成し、前記(b)において、前記成長層を、蒸着法を用いて形成することができる。

【0017】

かかる態様では、スパッタ法を用いて初期結晶核を形成する。スパッタ法では、一般的に付着力が高く結晶性のよい膜が得られるが、形成膜中の内部応力が高い。しかし、かかる態様では、蒸着法を用いて初期結晶核を成長させて初期結晶核の結晶性を保持しつつ成長層を形成する。蒸着法では、成膜中の材料の粒子のエネルギーが低く、不純物の少ない雰囲気中で成膜を行うことができるため、清浄な膜が得られ、形成膜の内部応力も低い。

【0018】

従って、かかる態様によれば、成膜工程を一貫してスパッタ法で行う場合に比べて、良好な結晶性を有するとともに不純物の少ない清浄な電極膜を得ることができる。また、かかる態様によれば、内部応力が低減された歪みの少ない電極膜を得ることができる。

【0019】

(2) 前記(a)および(b)を複数回繰り返して行って複数の電極膜を積層することができる。

【0020】

かかる態様によれば、粒界の少ない電極膜が複数積層された電極膜を得ことができ、例えば、この電極膜と接する他の結晶層との界面において他の結晶層の構成元素が電極膜中へ拡散するのを効果的に防止することができる。

【0021】

(3) 前記(b)の後に熱処理を行うことができる。

【0022】

かかる態様によれば、熱処理を行うことによって、電極膜中に内在する応力を開放して、電極膜の歪みを低減することができる。なお、かかる熱処理では、窒

素やアルゴンなどの非酸化ガス雰囲気中で行うことにより、電極膜表面の酸化を防止することができる。

【0023】

(4) 前記電極材料としては、Pt、Ir、Ru、Cu、Ag、IrO₂、RuO₂、TiN、Ta₂N、PbPt₃の少なくともいずれかを採用することができる。

【0024】

(5) 前記(b)の後に、少なくとも前記成長層の粒界の間隙を拡散防止用電極材料で埋めることを含むことができる。

【0025】

かかる態様によれば、成長層の粒界が埋められることにより隣接する結晶層の構成材料が電極膜中へ拡散することにより劣化することを効果的に防止することができる。このような、前記拡散防止用電極材料としては、Ir、IrO₂、Ru、RuO₂、HfO₂、Al₂O₃の少なくともいずれかを採用することができる。

【0026】

3. 本発明の上記製造方法により得られる電極膜は、強誘電体メモリまたはこの強誘電体メモリを含む半導体装置に適用することができる。

【0027】

本発明の強誘電体メモリおよび半導体装置では、粒界が少なく、結晶性のよい電極膜が用いられるため、強誘電体薄膜と電極膜との界面で強誘電体の構成元素が電極膜中に拡散しにくくなっている。このため、本発明によれば、良好な特性を有する強誘電体メモリおよび半導体装置を得ることができる。

【0028】

【発明の実施の形態】

以下、本発明に好適な実施の形態について、図面を参照しながら説明する。

【0029】

〔第1の実施形態〕

図1(A)～図1(D)は、本発明の第1の実施形態に係る電極膜の製造工程

を模式的に示す図である。

【0030】

(1) まず、図1 (A) に示すように、電極膜を形成するための基板10を用意する。

【0031】

本実施の形態において、基板10としては、シリコン、ゲルマニウム等の元素半導体、GaAs、ZnSe等の化合物半導体等の半導体基板、Pt等の金属基板、サファイア基板、MgO基板、SrTiO₃、BaTiO₃、ガラス基板等の絶縁性基板等を用いることができる。また、これらの各種基板上に絶縁層などの層が積層されたものを基板10として用いることができる。

【0032】

また、本実施の形態において、電極材料としては、例えば、Pt、Ir、Ru、Au、Ag、Al、Cu等の金属、IrO₂、RuO₂等の酸化物導電体、TiN、TaN等の窒化物導電体等を用いることができる。

【0033】

(2) 次に、図1 (B) に示すように、例えば、スパッタ法を用いて基板10上に電極材料の初期結晶核20を島状に形成する。このとき、基板10に与えられる温度は、200℃以上600℃以下に設定することができる。これにより、初期結晶核20の結晶品質を良好なものとすることができる。

【0034】

ここで、スパッタ法とは、真空中でイオンを原料であるターゲット材料にぶつけ、そこからたたき出されてきた原子を近くにおいた基板上に付着させ薄膜を作る方法である。すなわち、スパッタ法は、放電などにおいて電極の材料がイオンの衝撃によって電極からたたき出されて、近くにある物体の表面に付着する現象であるスパッタリング現象を利用したものである。本実施の形態では、イオンを作る手法の違いによって、RFスパッタ法、DCスパッタ法、マグネトロンスパッタ法、イオンビーム・スパッタ法などを用いることができる。

【0035】

(3) 次に、図1 (C) に示すように、例えば、真空蒸着法を用いて初期結晶

核 20 を成長させ、成長層 30 を形成していく。このとき、成長層 30 は、初期結晶核 20 の結晶性を保持しつつ形成されていく。また、このとき、基板 10 に与えられる温度は、初期結晶核 20 を形成する際の温度より低いことが好ましく、具体的には 200℃より低い温度に設定することができる。これにより、成長層 30 として、粒界の少なく平坦性の良好な板状の結晶が形成することができる。

【0036】

ここで、真空蒸着法とは、真空中の原料物質を加熱して蒸発させ、被形成体の表面で凝縮、薄膜形成させる方法である。物質に気化熱を与える為には、通常は電子ビームが用いられ、気化熱を与えられ蒸気となった原料物質が、被形成体の表面で気化熱を放出して凝縮することにより、薄膜を形成する。また、真空蒸着法は、真空中で上記工程を行う為、原料物質を蒸発させるのが容易であり、酸化による変質を防止することができ、かつ形成膜の表面を清浄に保持することが可能である。また、真空蒸着法は、スパッタ法ほど成膜中の飛行原子が大きなエネルギーを持たないため、形成後の薄膜中に内部応力が発生しにくい。

【0037】

(4) 最終的には、図 1 (D) に示すように、基板 10 の上に電極膜 40 が形成される。このとき形成される電極膜 40 の膜厚は、例えば 50～200 nm とすることができる。この電極膜 40 は、スパッタ法により形成された初期結晶核 20 の良好な結晶性と、真空蒸着法により形成された成長層 30 の粒界の少なさおよび平坦性、さらには表面の清浄性を併せ持つこととなる。すなわち、本実施形態による製造方法では、良好な結晶性および平坦性を有し、粒界の少ない電極膜 40 を得ることができる。また、本実施形態による製造方法では、成長層 30 を真空蒸着法で形成することにより、成膜工程を全てスパッタ法を用いた場合に比べて、電極膜 40 に内在する応力を低減させることができる。

【0038】

なお、本実施の形態において、電極膜 40 と基板 10 との間には、絶縁層及び接着層等の中間層を形成しても良い。絶縁層は例えば、 SiO_2 、 Si_3N_4 等により形成することが出来る。また、接着層としては、基板 10 と電極膜 40 又

は絶縁層と電極膜 40 との接着強度を確保することが出来るものであれば、その材料は特に限定されない。このような材料としては、例えば、タンタル、チタン等の高融点金属が挙げられる。これらの中間層は、熱酸化法、CVD法、スパッタ法、真空蒸着法、MOCVD法等、種々の方法で形成することができる。

【0039】

また、本実施の形態の製造方法では、上記（１）～（４）の工程により電極膜 40 を形成した後に、熱処理を行うことによって、電極膜 40 に内在する応力を開放してより歪みの少ない電極膜を得ることができる。なお、かかる熱処理は、窒素やアルゴンなどの非酸化ガス雰囲気中で行うことにより、電極膜表面の酸化を防止することができる。

【0040】

また、本実施の形態においては、上記（２）および（３）の工程を繰返し行うことにより、粒界の少ない電極膜を多層に積層することにより、電極膜の上に他の結晶層を形成した場合に、他の結晶層の構成元素が電極膜の粒界から内部へ拡散することにより、他の結晶層の品質を劣化させるのを防止することができる。かかる態様は、図 2（A）～（C）に示すような工程で行うことができる。

【0041】

まず、図 2（A）に示すように、上記製造工程により形成された電極膜 40 の上に、例えば、スパッタ法を用いて電極材料の初期結晶核 22 を島状に形成する。このとき初期結晶核 22 は、電極膜 40 の表面状態が変化している部分、特に電極膜 40 の粒界によってできる間隙の上に形成されていく。

【0042】

次に、図 2（B）に示すように、例えば、真空蒸着法を用いて初期結晶核 22 を成長させて成長層 32 を形成していく。このとき、成長層 32 は、初期結晶核 22 の結晶性を保持しつつ形成されていく。そして、最終的には、図 2（C）に示すように、電極膜 40 の上に電極膜 42 が形成される。これにより、粒界の少ない電極膜 40、42 が複数積層された電極膜を得ることができ、例えば、この電極膜 42 と接する他の結晶層との界面において他の結晶層の構成元素が電極膜 40、42 中へ拡散するのを効果的に防止することができる。

【0043】

なお、かかる態様においては、上記（2）および（3）の工程をさらに繰り返して行うことにより、3層以上の電極膜を積層することもできる。

【0044】

以下では、本実施の形態の形成方法について、さらに詳細な実施例を図面を参照しながら説明する。

【0045】

（実施例）

本実施例では、スパッタ法で島状にPt初期核を形成し、続けて蒸着法によりPtを成長させて、図2に示すようなPt電極薄膜を得た。また、Pt初期核をスパッタ法で形成する際は、基板を加熱して、Pt初期核の結晶性を確保することが重要であり、蒸着法によりPtを成長させる際には、200℃以下の低温で成長させることにより、表面の平坦性と粒界が少ないことが重要である。

【0046】

なお、本実施例においては、Pt初期核を形成するのに、イオンビーム・スパッタ法を用いている。イオンビーム・スパッタ法とは、イオンをターゲットから離れたところで独立して作るので、制御性に優れており、ターゲットや基板が直接イオン・プラズマにさらされないので比較的クリーンに薄膜が形成できる。

【0047】

また、本実施例においては、蒸着法として真空蒸着法を用いた。真空蒸着法は、真空中で上記工程を行う為、蒸発が容易であり、酸化による変質を防止出来、かつ基板の薄膜被覆面を清浄な表面に保持することが可能である。加えて、スパッタ法ほど飛行原子が大きなエネルギーを持たないため、形成後の薄膜中に内部応力が発生しにくいという利点がある。

【0048】

本実施例においては、図3に示すように、n型シリコン基板の表面に層間絶縁膜としてシリコン熱酸化膜が厚さ200nmで形成され、その上に接着層としてTiO_x膜を20nm形成されたものを用いた。

【0049】

次に、上記 $\text{TiO}_x/\text{SiO}_2/\text{Si}$ 基板上に、表 1 の条件を用いて、図 3 に示すような本発明による Pt 電極薄膜 (Pt 1、Pt 2 及び Pt 3) をそれぞれ 200 nm 形成した。

【0050】

【表 1】

スパッタ条件		本発明適用Pt電極		
サンプル No.		Pt1	Pt2	Pt3
到達真空度	Torr	2.2×10^{-6}	2.2×10^{-6}	2.2×10^{-6}
基板温度	°C	200	400	600
成膜圧力	Pa	0.4	0.4	0.4
Arガス	sccm	20	20	20
DCパワー	W	100	100	100
電圧	V	416	418	427
電流	A	0.23	0.23	0.23
初期核層膜厚	nm	20	20	20
蒸着条件				
到達真空度	Torr	7.5×10^{-6}	7.5×10^{-6}	7.5×10^{-6}
成膜圧力	Torr	3.3×10^{-5}	3.3×10^{-5}	3.3×10^{-5}
基板温度	°C	150	150	150
電圧	kV	10	10	10
電流	mA	240	240	250
Pt総膜厚	nm	200	200	200

【0051】

また、比較の為に、表 2 の条件を用いて、従来のスパッタ法による Pt 電極薄膜 (Pt 4、Pt 5、Pt 6 及び Pt 7) を用意した。

【0052】

【表 2】

スパッタ条件		比較例(スパッタ形成Pt電極)			
サンプル No.		Pt4	Pt5	Pt6	Pt7
到達真空度	Torr	2.2×10^{-6}	2.2×10^{-6}	2.2×10^{-6}	2.2×10^{-6}
基板温度	°C	室温	250	400	600
成膜圧力	Pa	0.4	0.4	0.4	0.4
Arガス	sccm	20	20	20	20
DCパワー	W	100	100	100	100
電圧	V	416	418	418	423
電流	A	0.23	0.23	0.23	0.23
Pt膜厚	nm	200	200	200	200

【0053】

図 4 は、Pt 1～Pt 3 および Pt 5～Pt 7 の Pt 電極薄膜についてロックングカーブを測定した結果を示すものである。それぞれ、ピークの半値巾は、本発明の製造方法を適用した Pt 1、Pt 2 および Pt 3 が 1.80° 、 2.46° および 2.70° であるのに対して、従来のスパッタ法による Pt 5、Pt 6 および Pt 7 は 3.00° 、 4.02° および 5.72° であり、結晶性、配向

性共に本発明の製造方法を適用した Pt 電極薄膜が優れていることが分かった。

【0054】

これは、従来のスパッタ法のための製造方法では成膜中において、Pt 薄膜が形成される基板を常に高温に保持する必要がある、かつ高エネルギーの Ar プラズマにさらされるため、基板及び被覆済みの Pt 薄膜がダメージを受け、配向性が劣化したものと考えられる。

【0055】

次に、上記 Pt 1 及び Pt 4 電極薄膜上にゾルゲル法により、強誘電体膜として膜厚が 100 nm ~ 15 nm の PZT (Pb (Zr, Ti) O₃) 薄膜を形成した。本発明の製造方法を適用した Pt 1 を用いた場合においては、図 5 (A) ~ 図 5 (D) に示す良好な強誘電特性を得たが、スパッタ法のみを用いて形成した Pt 4 を用いた場合は、PZT の膜厚が 100 nm 以下の条件では、強誘電特性を得ることは出来なかった。

【0056】

そこで、従来 Pt 4 及び Pt 6 上の PZT 薄膜を結晶化前の仮焼成段階で終了させて、脱ガス分析を行った。すると、図 6 (A) および図 6 (B) に示すように、600℃程度で Pt 電極薄膜中から多量の Ar ガスが放出されることが分かった。なお、図 6 (A) は、Pt 4 を用いた場合の分析結果を示し、図 6 (B) は、Pt 6 を用いた場合の分析結果を示す。

【0057】

図 6 (A) および図 6 (B) に示す分析結果について検討すると、この Ar ガスは、スパッタ時に Pt 電極薄膜中に注入されたものである。この Ar ガスは、PZT の結晶化後あるいは結晶化中に Pt 電極と PZT 薄膜の界面に放出されるため、Pt 電極と PZT 薄膜との界面では、良好な界面を保つことが出来なくなり、この結果従来のスパッタ法のみを用いて形成した Pt 電極薄膜上では 100 nm 以下の膜厚の PZT 薄膜では強誘電特性を確認できなかったものと考えられる。

【0058】

これに対して、本発明の製造方法を適用した Pt 電極薄膜は、結晶性、配向性

が良好な上、低温形成を行ったため、緻密平滑な表面を持ち、かつ拡散源となる粒界をほとんど持たない。さらに、かかる Pt 電極薄膜は、その成長層を蒸着法で形成しているため、Ar 等の不純物を含むことがない。従って、本発明を適用した Pt 電極薄膜上に、膜厚が 100 nm 以下の PZT 超薄膜を形成しても、良好な強誘電特性を得ることが出来た。

【0059】

[第2の実施形態]

図7(A)～図7(D)は、本発明の第2の実施形態に係る電極膜の製造工程を模式的に示す図である。本実施の形態では、電極膜の初期核について2種以上の異なる電極材料からなるものを形成する場合について説明する。

【0060】

(1') まず、本実施の形態においても、図7(A)に示すように、電極膜を形成するための基板10を用意する。基板10の材料としては、上述した第1の実施形態の場合と同様のものを用いることができる。

【0061】

(2') 次に、図7(B)に示すように、例えば、スパッタ法を用いて基板10上に第1の電極材料からなる第1初期結晶核20aを島状に形成する。このとき、基板10に与えられる温度は、200℃以上600℃以下に設定することができる。これにより、第1の電極材料からなる第1初期結晶核20aの結晶品質を良好なものとすることができる。この第1の電極材料としては、例えば、Pt、Ir、Ru、Au、Ag、Al、Cu等の金属、IrO₂、RuO₂等の酸化物導電体、TiN、Ta₂N等の窒化物導電体等を用いることができる。

【0062】

(3') 次に、図7(C)に示すように、第1初期結晶核20aの上に例えば、スパッタ法を用いて第1の電極材料と異なる第2の電極材料からなる第2初期結晶核20bを形成する。このとき、基板10に与えられる温度は、200℃以上600℃以下に設定することができる。これにより、第2の電極材料からなる第2初期結晶核20bの結晶品質を良好なものとすることができる。この第2の電極材料としては、例えば、Pt、Ir、Ru、Au、Ag、Al、Cu等の金

属、 IrO_2 、 RuO_2 等の酸化物導電体、 TiN 、 TaN 等の窒化物導電体等を用いることができる。

【0063】

(4') 次に、図7(D)に示すように、例えば、真空蒸着法を用いて第2初期結晶核20bを成長させ、成長層30を形成していく。このとき、成長層30は、初期結晶核20bの結晶性を保持しつつ形成されていく。また、このとき、基板10に与えられる温度は、初期結晶核20を形成する際の温度より低いことが好ましく、具体的には200℃より低い温度に設定することができる。これにより、成長層30として、粒界の少なく平坦性の良好な板状の結晶が形成することができる。

【0064】

(5') 最終的には、図7(E)に示すように、基板10の上に電極膜40が形成される。このとき形成される電極膜40の膜厚は、例えば50～200nmとすることができる。この電極膜40は、スパッタ法により形成された初期結晶核20bの良好な結晶性と、真空蒸着法により形成された成長層30の粒界の少なさおよび平坦性、さらには表面の清浄性を併せ持つこととなる。すなわち、本実施形態による製造方法では、良好な結晶性および平坦性を有し、粒界の少ない電極膜40を得ることができる。また、本実施形態による製造方法では、成長層30を真空蒸着法で形成することにより、成膜工程を全てスパッタ法を用いた場合に比べて、電極膜40に内在する応力を低減させることができる。

【0065】

なお、本実施の形態に係る製造方法においても、第1の実施形態の場合と同様に、基板10と電極膜40との間に絶縁層や接着層等の中間層を形成しても良い。また、本実施の形態の製造方法においても、第1の実施形態の場合と同様に、電極膜40を形成した後に、熱処理を行うことによって、電極膜40に内在する応力を開放してより歪みの少ない電極膜を得ることができる。さらに、本実施の形態においても、第1の実施形態の場合と同様に、上記(2')～(4')の工程を繰返し行うことにより、複数の電極膜を積層した構造を形成することもできる。

【0066】

以下では、本実施の形態の製造方法について、さらに詳細な実施例を図面を参照しながら説明する。

【0067】

(実施例1)

本実施例では、イオンビーム・スパッタ法で島状にIr第1初期核、Pt第2初期核を順次形成し、続けて真空蒸着法によりPt成長層を形成して、図8に示すようなIr-Pt電極薄膜を得た。本実施例において第1初期核の材料として採用したIrは、一般にPZT系強誘電体キャパシタの電極材料として、その疲労特性を向上させる材料であることが知られている。これは、Irが同じ白金族の電極材料であるPtに比べて強誘電体材料に対する拡散防止効果が大きいことを意味する。このため、このような強誘電体材料に対する拡散防止効果の高い材料を初期結晶核として電極膜内に混在させることにより、かかる電極膜を強誘電体キャパシタの電極に採用することで、キャパシタの疲労特性を向上させることができる。また、本実施例においては、図8に示すように、n型シリコン基板の表面に層間絶縁膜としてシリコン熱酸化膜が厚さ200nmで形成され、その上に接着層としてTiO_x膜を20nm形成されたものを用いている。

【0068】

図9(A)は、図8の構造を有するPtとIrの複合電極膜上に形成されたPZTからなる強誘電体部分を含む強誘電体キャパシタのヒステリシス特性を示すものである。なお、比較例として、従来のスパッタ法のみによるPt電極膜上に形成されたPZTからなる強誘電体部分を含む強誘電体キャパシタのヒステリシス特性を図9(B)に示す。図9(A)及び図9(B)によれば、本実施例を適用した電極膜を有する強誘電体キャパシタのほうが、従来のスパッタ法のみによる電極膜を有する強誘電体キャパシタと比べて、角型性の良いヒステリシス特性を得られることが確認できた。また、かかる2種類の強誘電体キャパシタについて、疲労特性についても測定した。図10(A)は、本実施例を適用した場合を示し、図10(B)は、従来のスパッタ法のみによる場合を示している。図10(A)及び図10(B)によれば、疲労特性においても、本実施例を適用した電

極膜を有する強誘電体キャパシタが優れていることが確認できた。

【0069】

(実施例2)

本実施例では、Ir-Pt 複合電極膜を強誘電体キャパシタの上部電極として用いた場合、および上部電極と下部電極の双方に用いた場合についての検証を行った。

【0070】

まず、従来のスパッタ法により形成したPt下部電極が被覆されたSiウエハを基板として用い、その上部に厚さ200nmのPZT薄膜をゾルゲル法により形成した。

【0071】

次に、図11(A)に示すようにPZT薄膜上部にスパッタ法を用いてPt電極初期核層を基板温度400℃で厚さ10nm形成した。この時、Pt初期核層は、膜状にはならず、島状に形成された。この時の成膜条件は、DCスパッタ装置を用いてDCパワー100W、成膜圧力0.3PaでArプラズマを用い、基板温度400℃で5秒間スパッタを行って、厚さ5nmとした。

【0072】

次に、基板温度を200℃とし、蒸着法を用いて、Pt電極が連続しPZT薄膜を完全に被覆するまで成長させ、図11(B)に示すように第1Pt成長層を形成した。この時、Ptの総膜厚は40nmであった。このとき、成膜条件は、DCスパッタ装置を用いてDCパワー100W、成膜圧力0.3PaでArプラズマを用い、基板温度200℃で60秒間スパッタを行って、総膜厚40nmとした。

【0073】

ここで、Pt電極形成時のダメージによるPZTの特性劣化を回復するため、酸素雰囲気下でポストアニールを行うことも可能である。つまり、本実施例のようにPtの総膜厚が僅か40nm程度と薄く、かつPt電極が多く隙間(粒界)を有しており酸素を十分に透過する場合においては、Pt電極の粒界を通じてPZTに酸素を供給しつつポストアニールを行うことが効果的である。

【0074】

さらに、本実施例では拡散防止用の Ir 粒をスパッタ法により、平坦な基板に対して、厚さ 10 nm となる成膜条件で極僅かの Pt 電極の粒界に打ち込み、図 11 (C) に示すような構造を形成した。この際の基板温度は任意に設定することができ、加えて酸素雰囲気中で行なうとともに、IrO₂ 粒を打ち込むことも可能である。また、後述の通り、Ir や IrO₂ 粒は、選択的に Pt の隙間に入り込むことを利用している。

【0075】

最後に、蒸着法を用いて、Pt 電極を所望の厚さになるまで、第 2 Pt 成長層を成長させ、図 11 (D) の構造を形成した。本実施例では上部の Pt-Ir 総膜厚を 160 nm とした。なお、この際の蒸着条件は、成膜圧力が 2.2×10^{-6} Torr で、エレクトロンビーム・パワーを 2 kW とし、成膜温度については室温で、10 分間の成膜を行い、総膜厚 160 nm とした。

【0076】

このようにして作成した PZT キャパシタの疲労特性を評価したところ、図 12 に示すように良好な疲労特性を示した。図中サンプル 1 は Ir 粒を用い、サンプル 2 は IrO₂ 粒を用いた場合の PZT キャパシタである。

【0077】

さらに、サンプル 2 の PZT キャパシタを 5 % の水素を含む窒素雰囲気中で、400℃で、30 分間のアニールを施したところ、図 13 に示すようにアニール処理前後で、全くヒステリシス特性の変化は見られなかった。

【0078】

一般に PZT などの強誘電体は、水素等の還元雰囲気下でアニールを行うことで特性劣化することが知られているが、本発明の Pt 電極を用いた場合は、図 13 に示すように、ほとんど特性劣化が見られなかった。このことは、Pt の持つ多くの粒界が原因で、粒界拡散により PZT 中に入り込んだ水素が特性劣化を引き起こしており、本発明は極僅かな量の Ir 粒で Pt 粒界に栓をすることで、効果的に水素の拡散を防止していることが証明された。すなわち、図 14 中の矢印 A に示すように、Ir 粒が拡散ブロックとなり、上からの水素或いは PZT 中か

らの元素の拡散を効果的に防止することを意味している。また、Pt電極を初期核および成長層と2分割し、かつ両者の間にIrという異物質を挟み込むことで、Ptが連続成長せず、すなわちPtの有する粒界が連続することが殆どなくなるため、たとえIr粒が上手く入り込まなかったPt粒界でさえも、図14中の矢印B、Cに示すように、拡散防止効果を有することとなり、これらの結果、本発明によるPt電極を用いたPZTキャパシタは良好な強誘電特性を示したものといえる。

【0079】

また、本発明の電極の場合、Ir使用量は極僅かであり、高価なIrを有効に使用できるばかりではなく、電極の殆どがIrよりも軟らかいPtからなるため、エッチングプロセスを効果的に用いることが出来、容易に微小キャパシタを形成することが出来た。

【0080】

実際に、 $200\mu\text{m}$ 角 ($200\mu\text{m}\times 200\mu\text{m}$)、 $45\mu\text{m}$ 角 ($45\mu\text{m}\times 45\mu\text{m}$)、 $5\mu\text{m}$ 角 ($5\mu\text{m}\times 5\mu\text{m}$)、 $3\mu\text{m}$ 角 ($3\mu\text{m}\times 3\mu\text{m}$) でキャパシタを作製し、ヒステリシス特性を評価したところ、図15に示すように、全てのサイズのキャパシタにおいて良好なヒステリシスを確認した。

【0081】

また、本発明の電極膜の製造方法を用いて、図16(A)及び図16(B)に示すようなIr-Pt複合電極をPZTキャパシタの上部電極および下部電極に用いることで、Si基板との間の相互拡散をも防止することが出来、更に良好な強誘電特性を引き出すことが出来ると考えられる。

【0082】

また、実際に本発明の電極膜の製造方法により作製されたPt-Ir複合電極の表面モフォロジーを図17に示す。

【0083】

図17(A)は、厚さ 40nm で形成されたPt初期核層(5nm) + Pt成長層(35nm)である。これによれば、PZTを覆い尽くすことが出来ずに多くの隙間(粒界)を有していることが分かる。

【0084】

次に、Pt 初期核層の隙間（粒界）に拡散防止用 Ir を打ち込んだものが図 17（B）であり、Pt 初期核層の隙間を拡散防止用 Ir が埋め尽くしていることが確認できた。すなわち、この段階で初めて P Z T 薄膜を電極金属が覆い尽くしたことが分かる。加えて、Pt の粒界に Ir が集中して形成されたことがことが

さらに、上部に Pt を形成し、層膜厚 150 nm としたのが図 17（C）である。図 17（A）の場合と粒サイズが全く異なっており、図 17（A）の Pt 初期核層と図 17（C）の Pt 成長層では、粒界が一致していないことが分かる。

【0085】

[第3の実施形態]

本実施の形態では、第 1 および第 2 の実施形態で説明した製造方法のデバイスへの適用例について説明する。

【0086】

図 18（A）及び図 18（B）は、上記実施の形態の製造方法により得られる電極膜を用いた強誘電体メモリを有する半導体装置 1000 を模式的に示す図である。なお、図 18（A）は、半導体装置 1000 の平面的形状を示すものであり、図 18（B）は、図 18（A）における A-A' 断面を示すものである。

【0087】

半導体装置 1000 は、図 18（A）に示すように、強誘電体メモリセルアレイ 200 と、周辺回路部 300 とを有する。そして、強誘電体メモリセルアレイ 200 と周辺回路部 300 とは、異なる層に形成されている。また、周辺回路部 300 は、強誘電体メモリセルアレイ 200 に対して半導体基板 400 上の異なる領域に配置されている。なお、周辺回路 300 の具体例としては、Y ゲート、センスアンプ、入出力バッファ、X アドレスデコーダ、Y アドレスデコーダ、又はアドレスバッファを挙げることができる。

【0088】

強誘電体メモリセルアレイ 200 は、行選択のための下部電極 210（ワード線）と、列選択のための上部電極 220（ビット線）とが交叉するように配列されている。また、下部電極 210 及び上部電極 220 は、複数のライン状の信号

電極から成るストライプ形状を有する。なお、信号電極は、下部電極 210 がビット線、上部電極 220 がワード線となるように形成することができる。この下部電極 210 および上部電極 220 は、上記実施の形態に係る製造方法を用いて形成されているため、粒界が少なく、平坦性が良好である。従って、後述する下部電極 210 と上部電極 220 との間に配置される強誘電体膜 215 の構成元素が、下部電極 210 や上部電極 220 の中に拡散することを防止することができる。

【0089】

そして、図 18 (B) に示すように、下部電極 210 と上部電極 220 との間には、強誘電体膜 215 が配置されている。強誘電体メモリセルアレイ 200 では、この下部電極 210 と上部電極 220 との交叉する領域において、強誘電体キャパシタ 230 として機能するメモリセルが構成されている。なお、強誘電体膜 215 は、少なくとも下部電極 210 と上部電極 220 との交叉する領域の間に配置されていけばよい。

【0090】

さらに、半導体装置 1000 は、下部電極 210、強誘電体膜 215、及び上部電極 220 を覆うように、第 2 の層間絶縁膜 430 が形成されている。さらに、配線層 450、460 を覆うように第 2 の層間絶縁膜 430 の上に絶縁性の保護層 440 が形成されている。

【0091】

周辺回路部 200 は、図 18 (A) に示すように、前記メモリセル 200 に対して選択的に情報の書き込み若しくは読出しを行うための各種回路を含み、例えば、下部電極 210 を選択的に制御するための第 1 の駆動回路 310 と、上部電極 220 を選択的に制御するための第 2 の駆動回路 320 と、その他にセンスアンプなどの信号検出回路（図示省略）とを含んで構成される。

【0092】

また、周辺回路部 300 は、図 18 (B) に示すように、半導体基板 400 上に形成された MOS トランジスタ 330 を含む。MOS トランジスタ 330 は、ゲート絶縁膜 332、ゲート電極 334、及びソース／ドレイン領域 336 を有

する。各MOSトランジスタ330間は、素子分離領域410によって分離されている。このMOSトランジスタ330が形成された半導体基板400上には、第1の層間絶縁膜410が形成されている。そして、周辺回路部300とメモリセルアレイ200とは、配線層51によって電氣的に接続されている。

【0093】

次に、半導体装置1000における書き込み、読出し動作の一例について述べる。

【0094】

まず、読出し動作においては、選択されたメモリセルのキャパシタに読み出し電圧が印加される。これは、同時に‘0’の書き込み動作を兼ねている。このとき、選択されたビット線を流れる電流又はビット線をハイインピーダンスにしたときの電位をセンスアンプにて読み出す。そして、非選択のメモリセルのキャパシタには、読み出し時のクロストークを防ぐため、所定の電圧が印加される。

【0095】

書き込み動作においては、‘1’の書き込みの場合は、選択されたメモリセルのキャパシタに分極状態を反転させる書き込み電圧が印加される。‘0’の書き込みの場合は、選択されたメモリセルのキャパシタに分極状態を反転させない書き込み電圧が印加され、読み出し動作時に書き込まれた‘0’状態を保持する。このとき、非選択のメモリセルのキャパシタには書き込み時のクロストークを防ぐために、所定の電圧が印加される。

【0096】

この半導体装置1000によれば、上記実施の形態の製造方法に作製される強誘電体キャパシタ230について、下部電極210および上部電極220が粒界が少なく、良好な結晶性および平坦性を有するため、これらの間に配置される強誘電体膜215の品質を良好なものとすることができ、デバイスの品質の向上および歩留まりの向上を図ることができる。

【0097】

以上、本発明に好適な実施の形態について述べたが、本発明はこれらに限定されるものでなく、本発明の要旨の範囲内で各種の態様を取り得る。

【図面の簡単な説明】

【図 1】 第 1 の実施形態の製造方法を模式的に示す図である。

【図 2】 第 1 の実施形態の製造方法を模式的に示す図である。

【図 3】 第 1 の実施形態の実施例に係る電極膜を模式的に示す図である。

【図 4】 第 1 の実施形態の実施例に係る電極膜の分析結果を示す図である。

【図 5】 第 1 の実施形態の実施例に係る電極膜上に形成した強誘電体膜のヒステリシス特性を示す図である。

【図 6】 第 1 の実施形態の実施例に係る強誘電体膜の脱ガス分析結果を示す図である。

【図 7】 第 2 の実施形態の製造方法を模式的に示す図である。

【図 8】 第 2 の実施形態の実施例 1 に係る電極膜を模式的に示す図である。

【図 9】 第 2 の実施形態の実施例 1 に係る電極膜上に形成した強誘電体膜のヒステリシス特性を示す図である。

【図 10】 第 2 の実施形態の実施例 1 に係る電極膜上に形成した強誘電体膜の疲労特性を示す図である。

【図 11】 第 2 の実施形態の実施例 2 に係る製造方法を模式的に示す図である。

【図 12】 第 2 の実施形態の実施例 2 に係る電極膜上に形成した強誘電体膜の疲労特性を示す図である。

【図 13】 第 2 の実施形態の実施例 2 に係る電極膜上に形成した強誘電体膜のヒステリシス特性を示す図である。

【図 14】 第 2 の実施形態の実施例 2 に係る電極膜の機能を説明するための図である。

【図 15】 第 2 の実施形態の実施例 2 に係る電極膜を有する強誘電体キャパシタのヒステリシス特性を示す図である。

【図 16】 第 2 の実施形態の実施例 2 に係る電極膜を有する強誘電体キャパシタの構造を説明するための図である。

【図 1 7】 第 2 の実施形態の実施例 2 に係る電極膜の製造過程における表面状態を観察した顕微鏡写真である。

【図 1 8】 第 3 の実施形態に係る半導体装置を模式的に示す図である。

【図 1 9】 従来の製造方法による電極膜を模式的に示す図である。

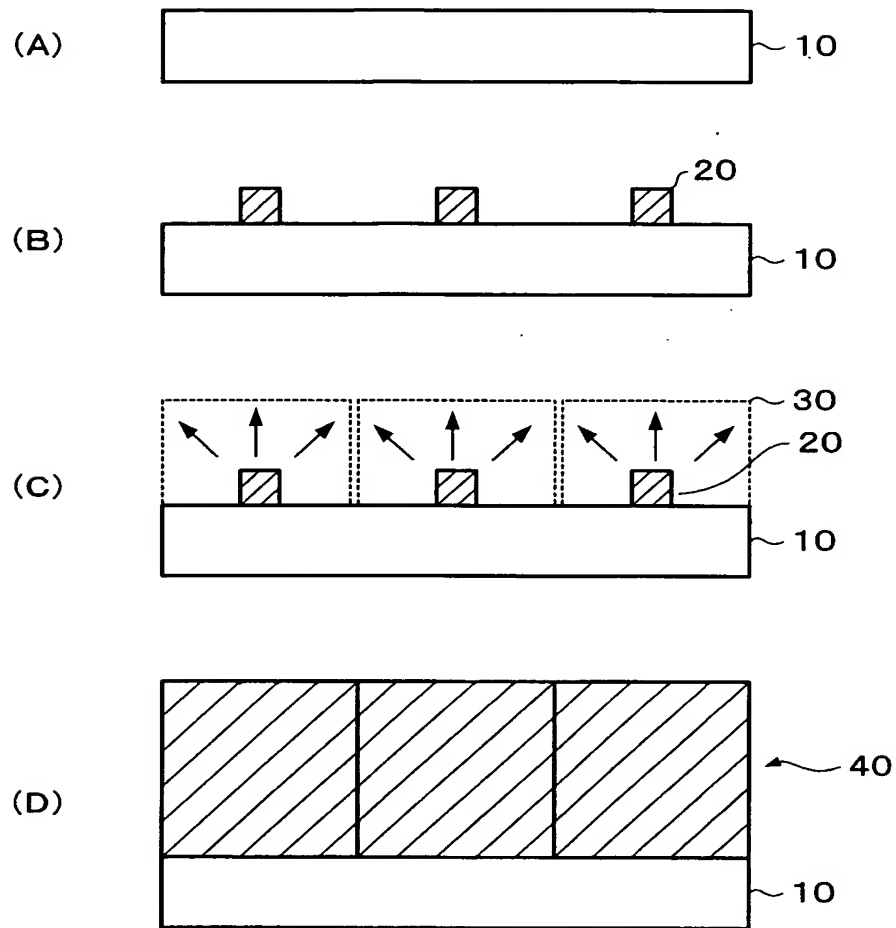
【符号の説明】

1 0 基板、2 0 初期結晶核、3 0 成長層、4 0, 4 2 電極膜

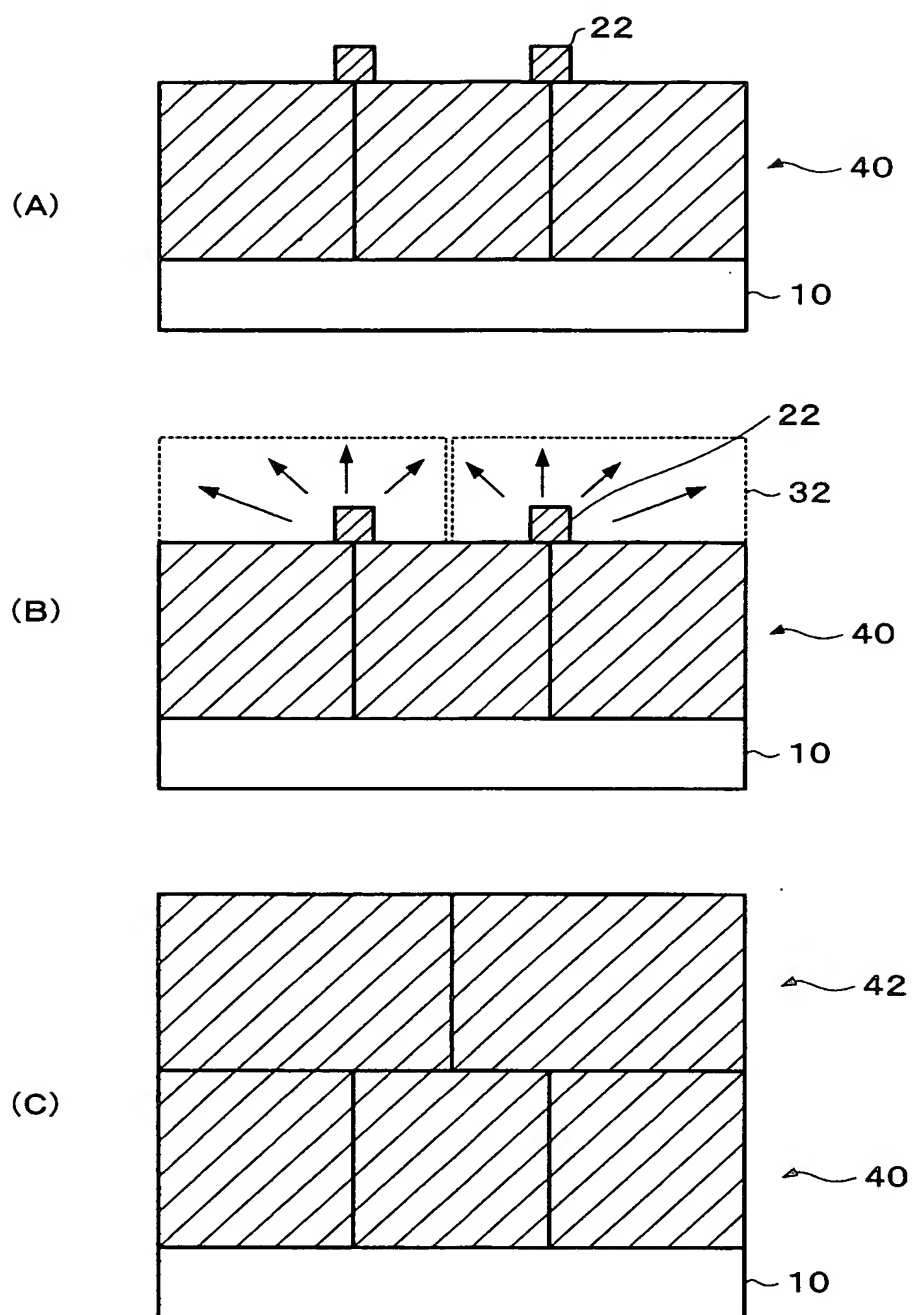
【書類名】

図面

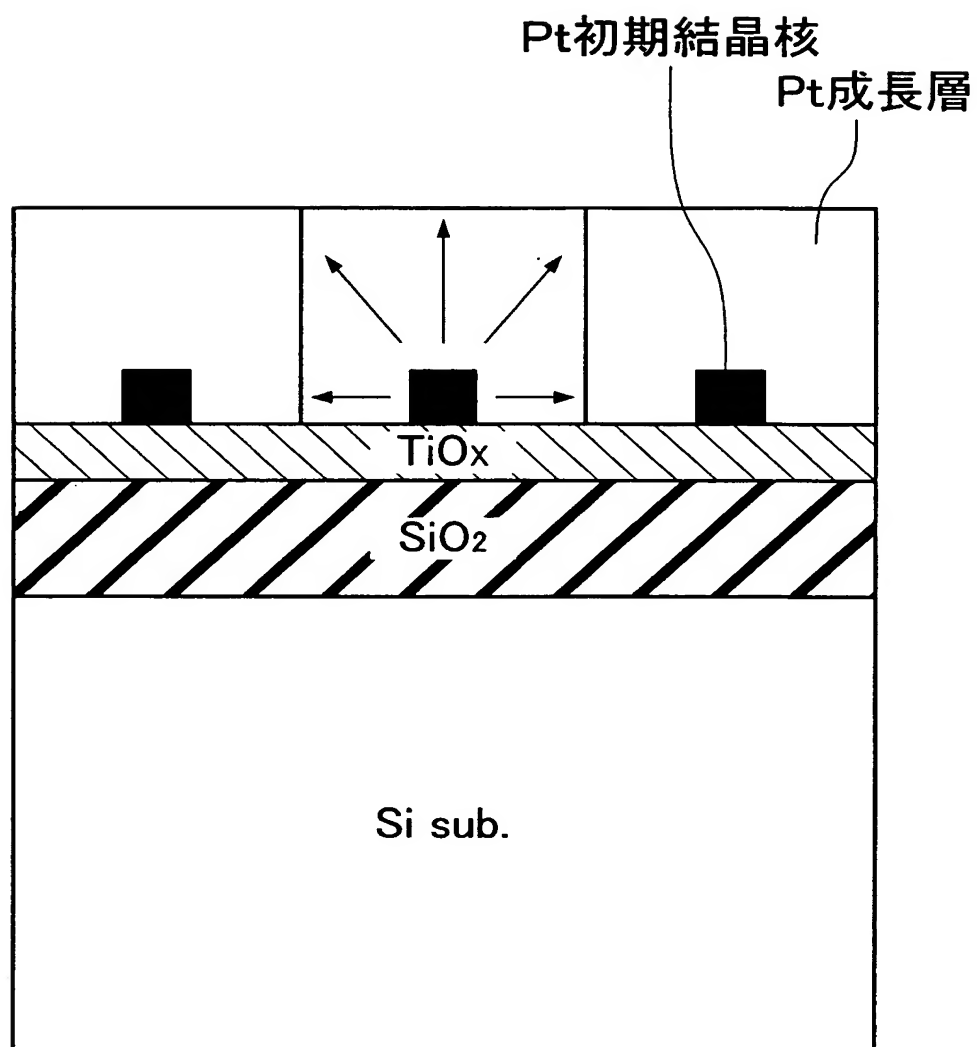
【図 1】



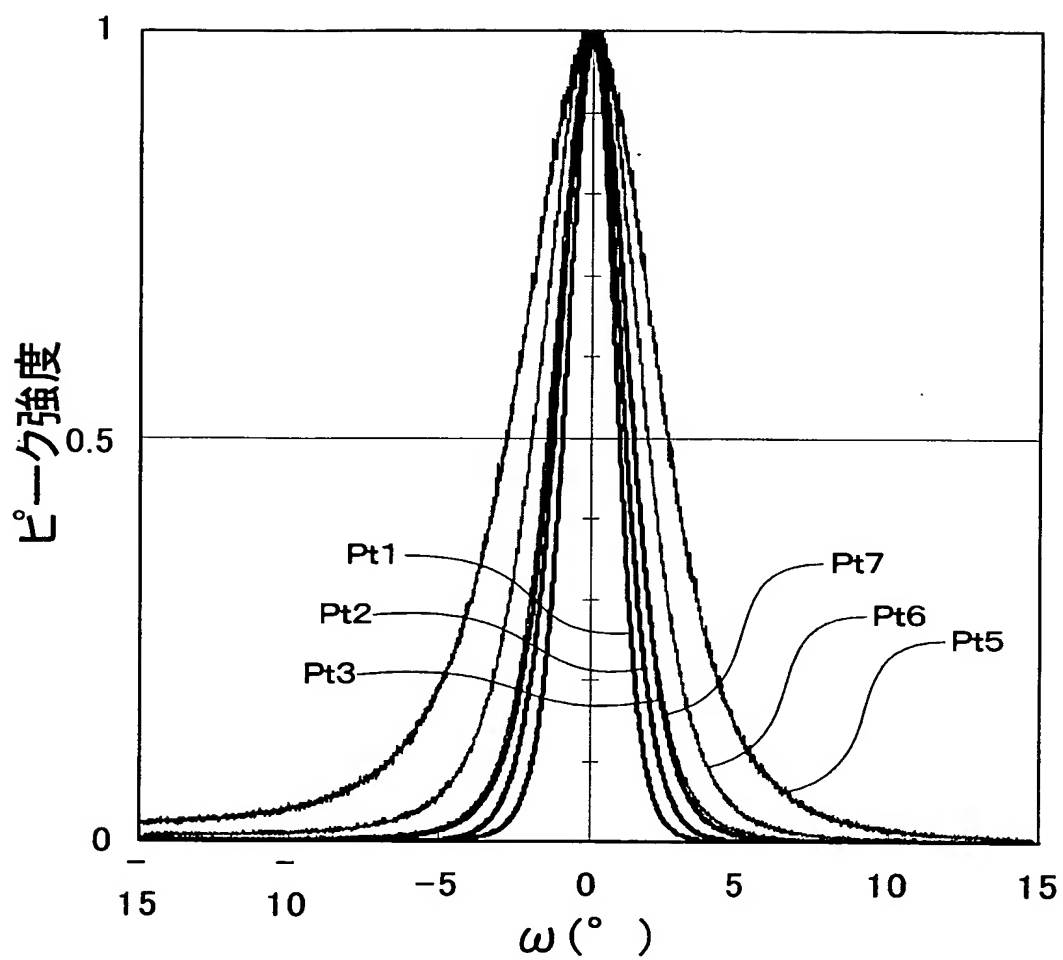
【図 2】



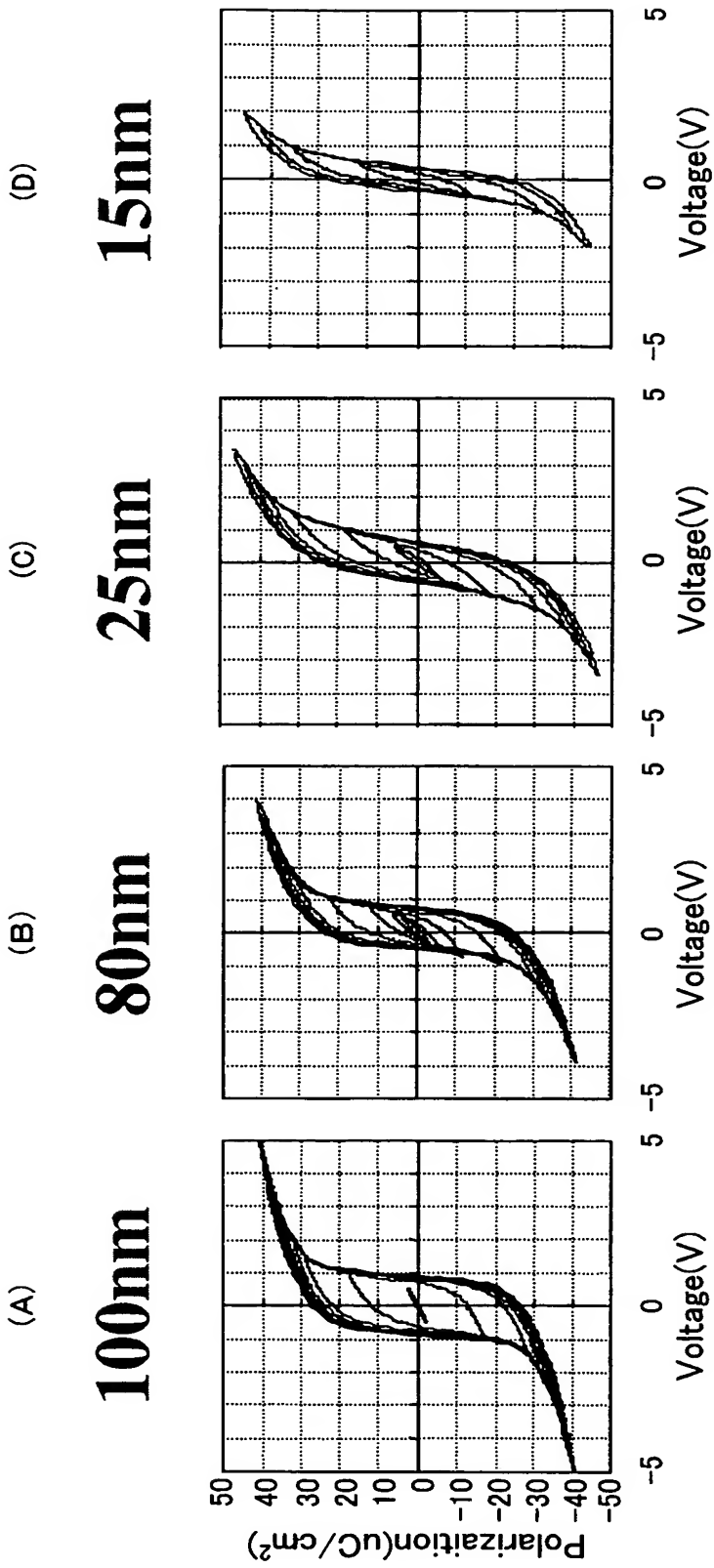
【図3】



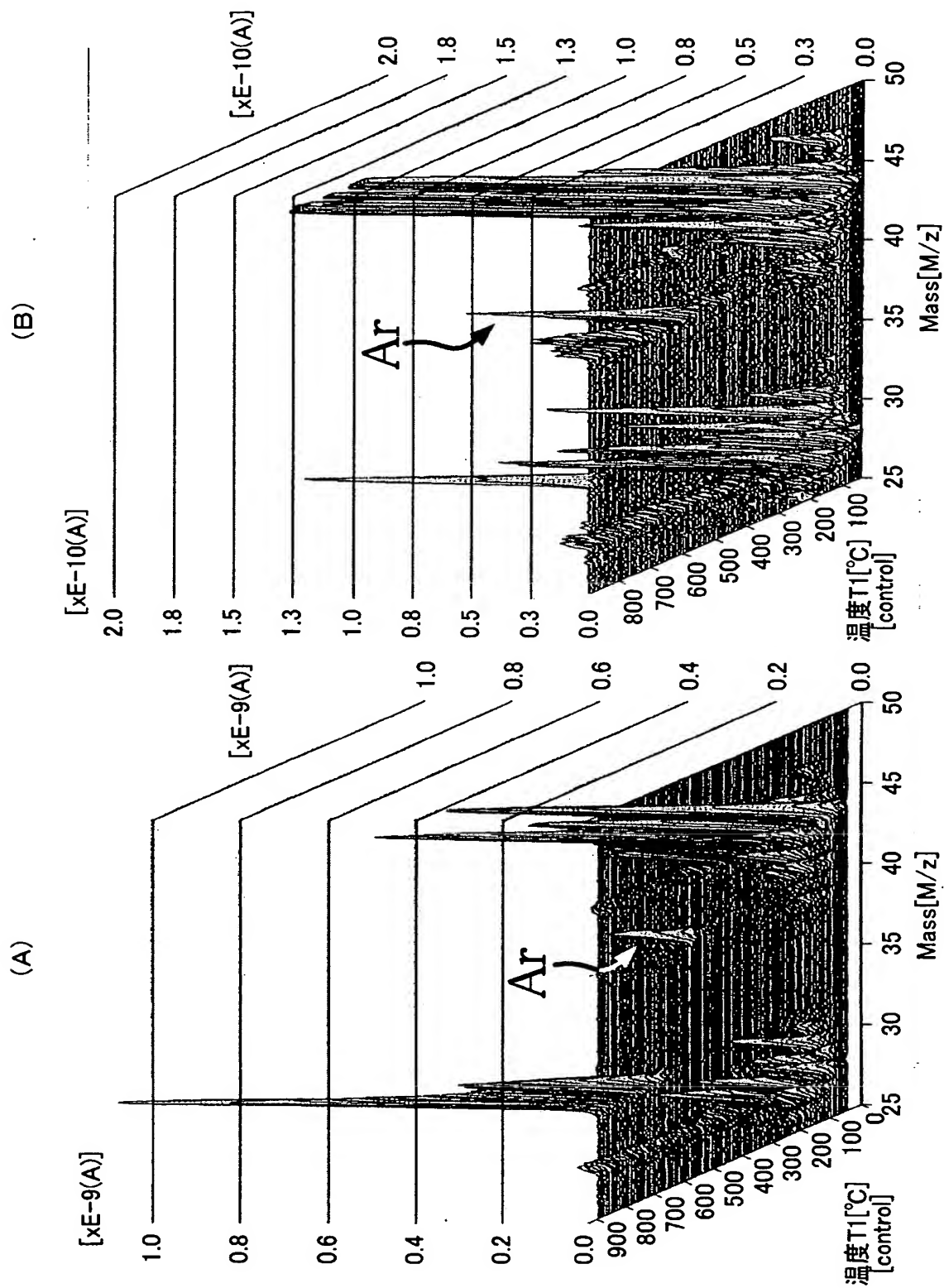
【図4】



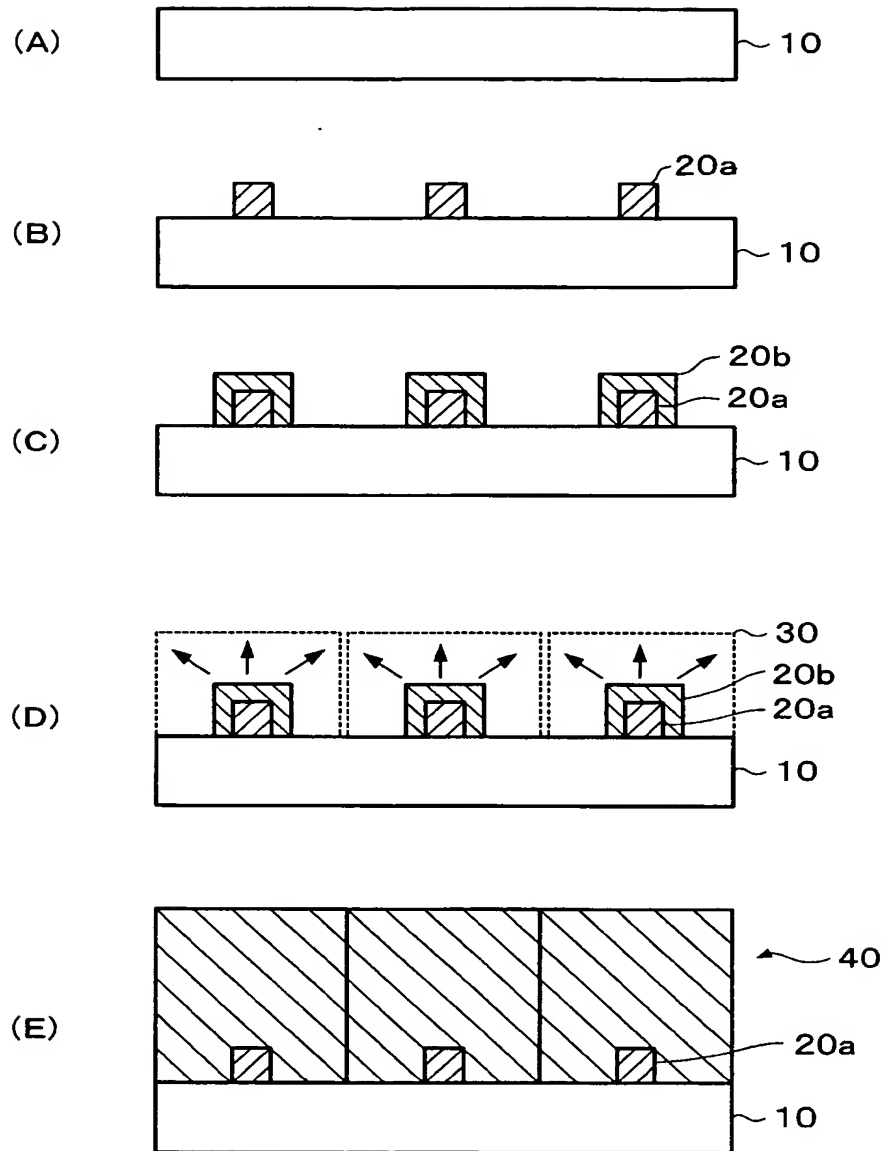
【図 5】



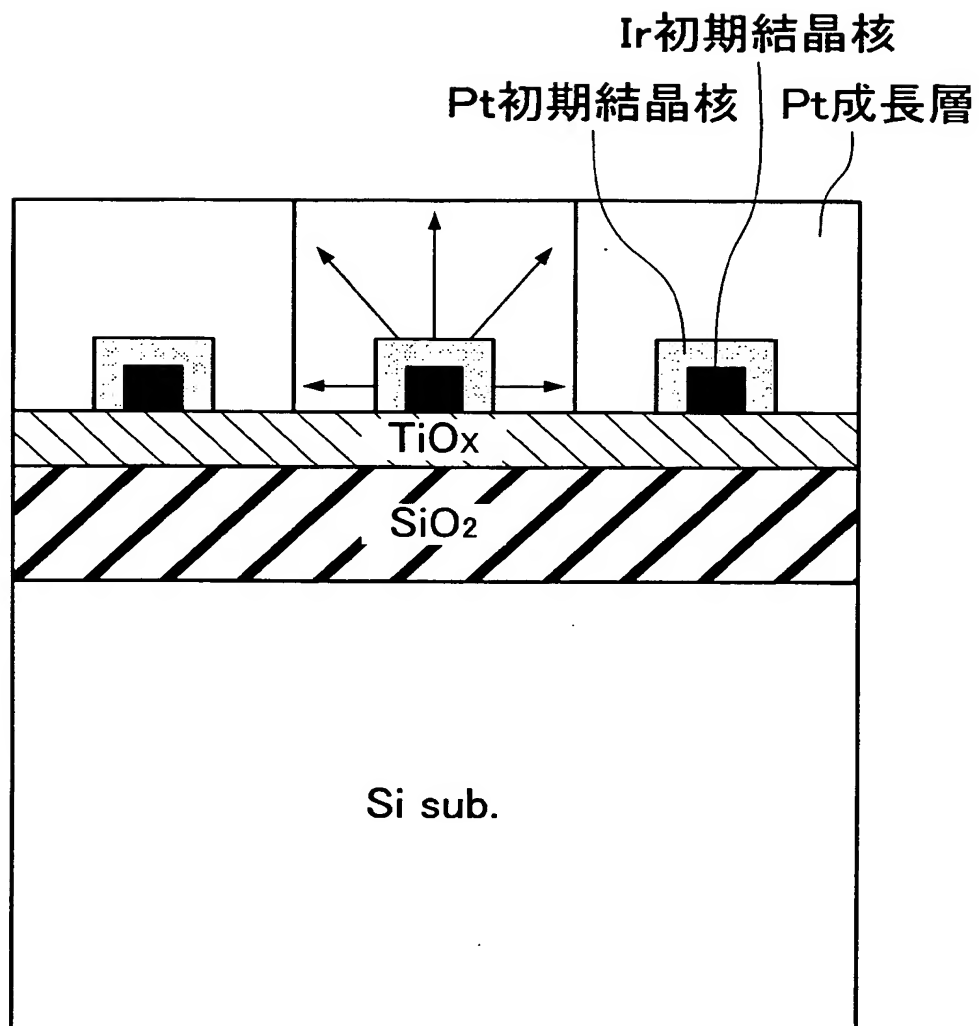
【図 6】



【図 7】

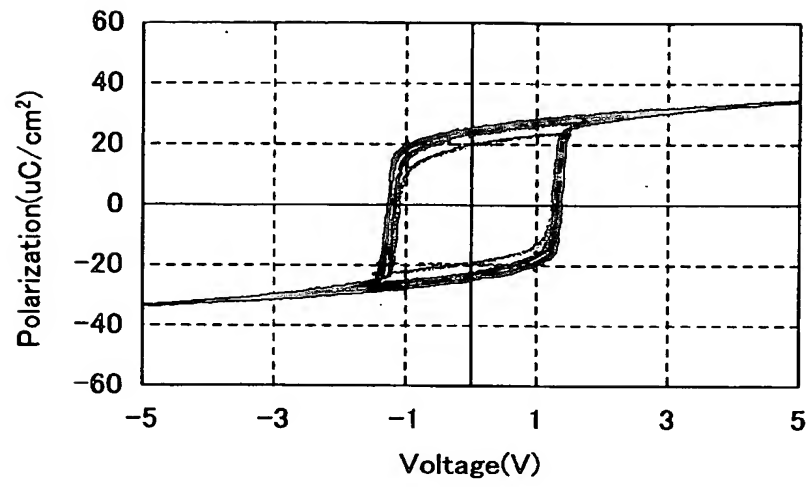


【図 8】

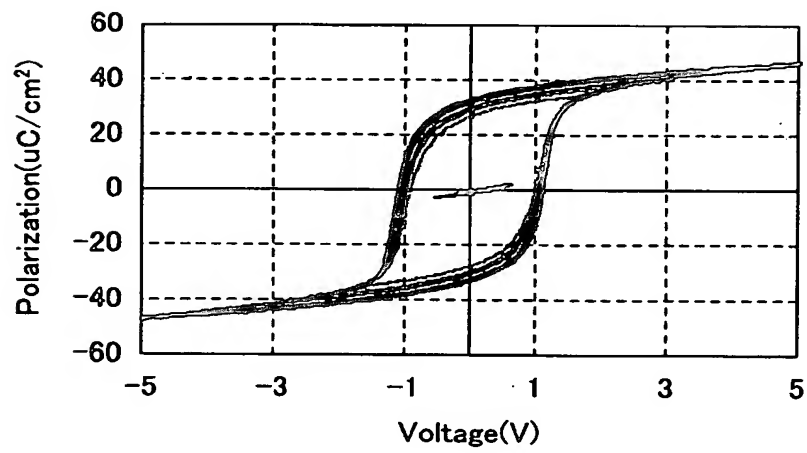


【図 9】

(A)

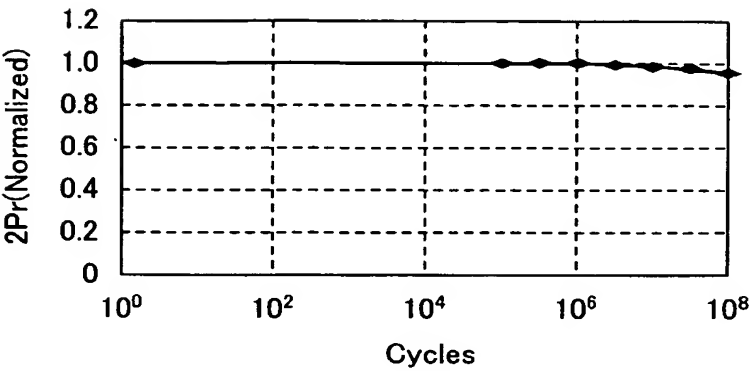


(B)

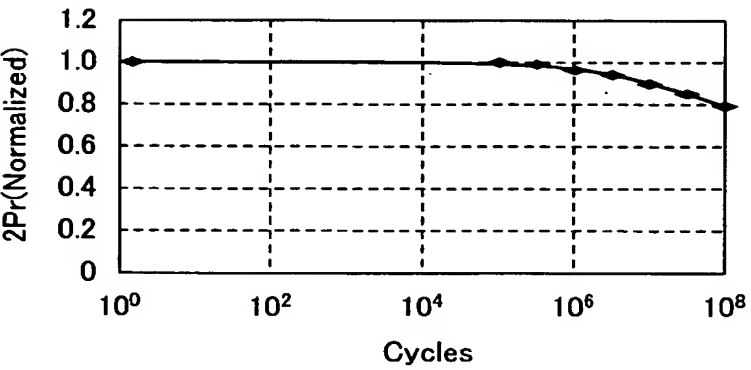


【図 10】

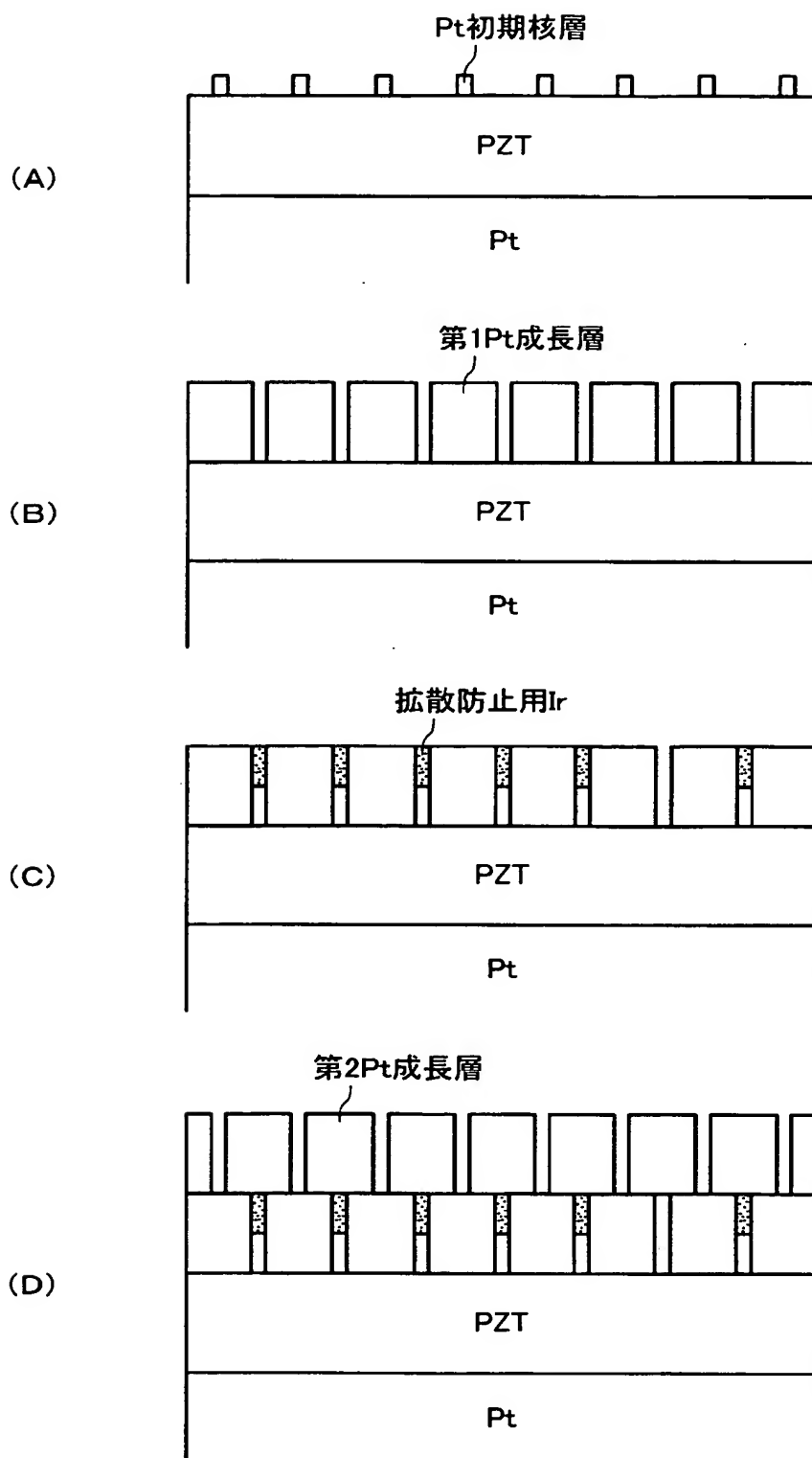
(A)



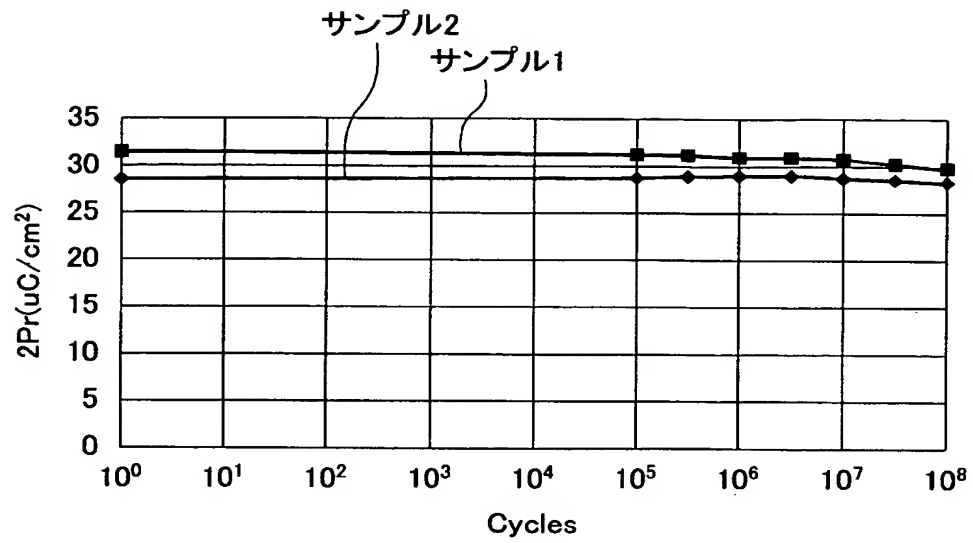
(B)



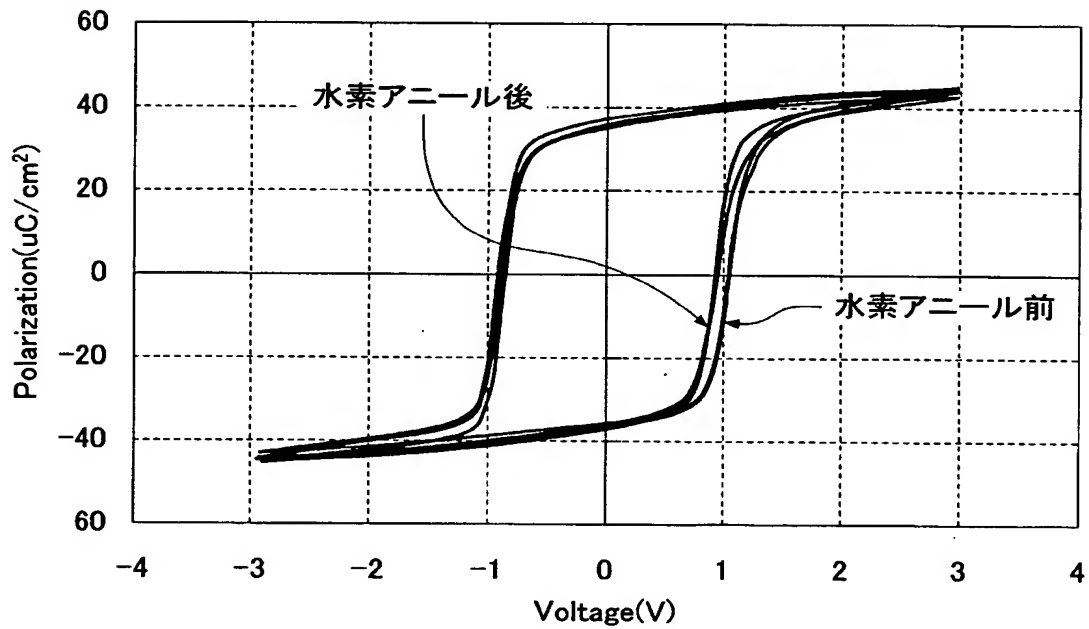
【図 11】



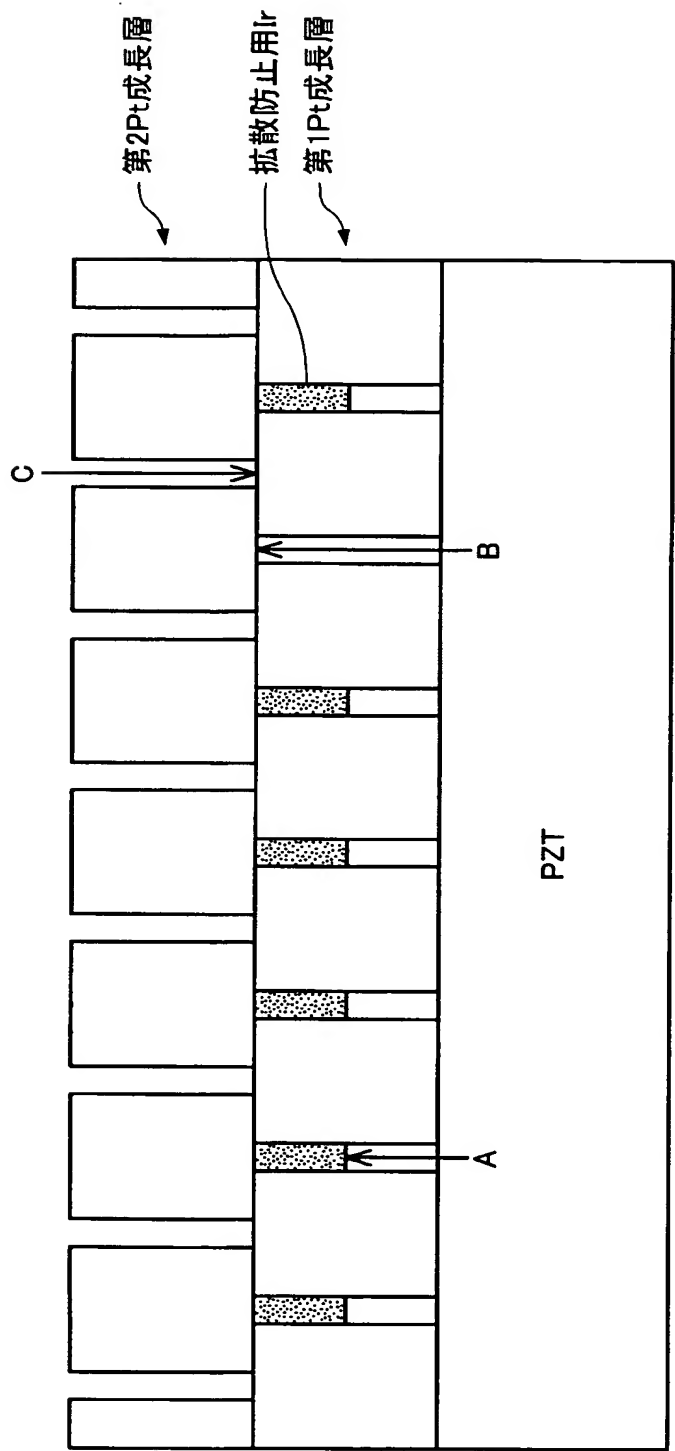
【図 1 2】



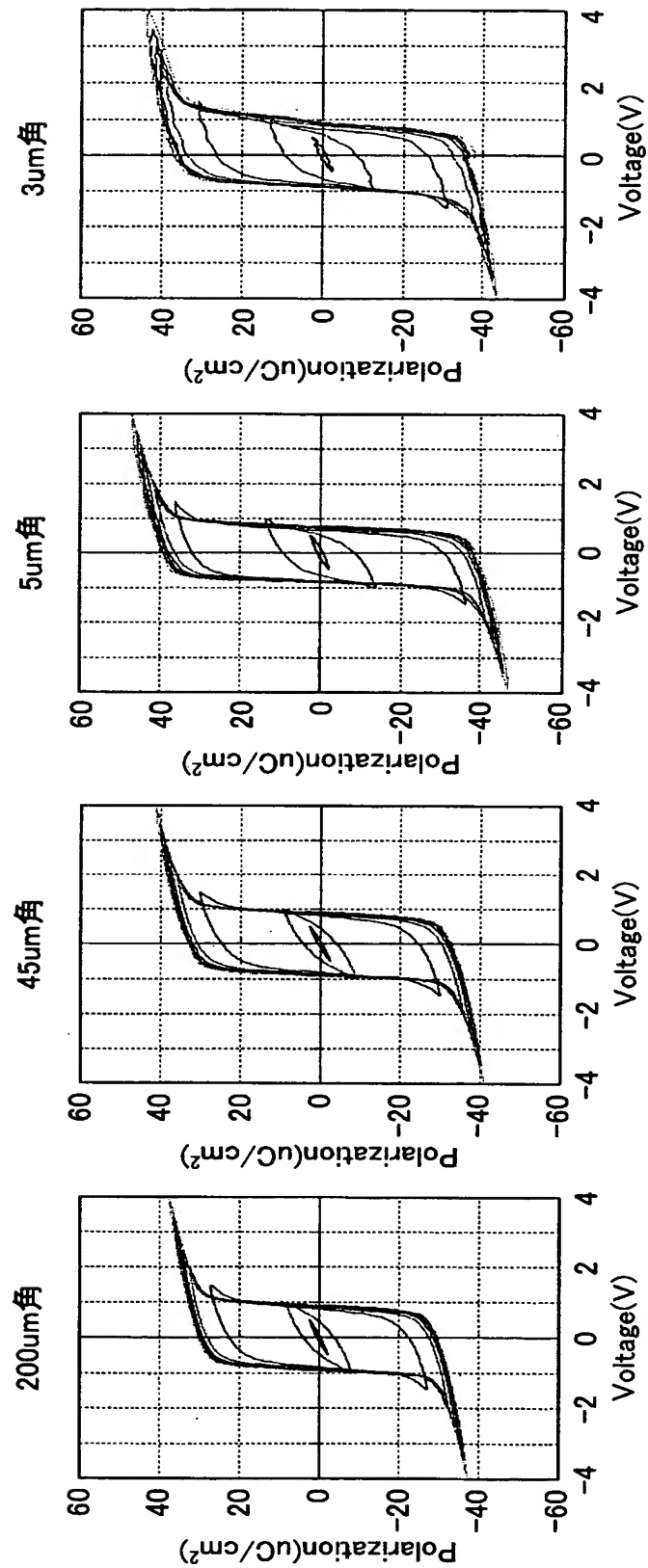
【図 1 3】



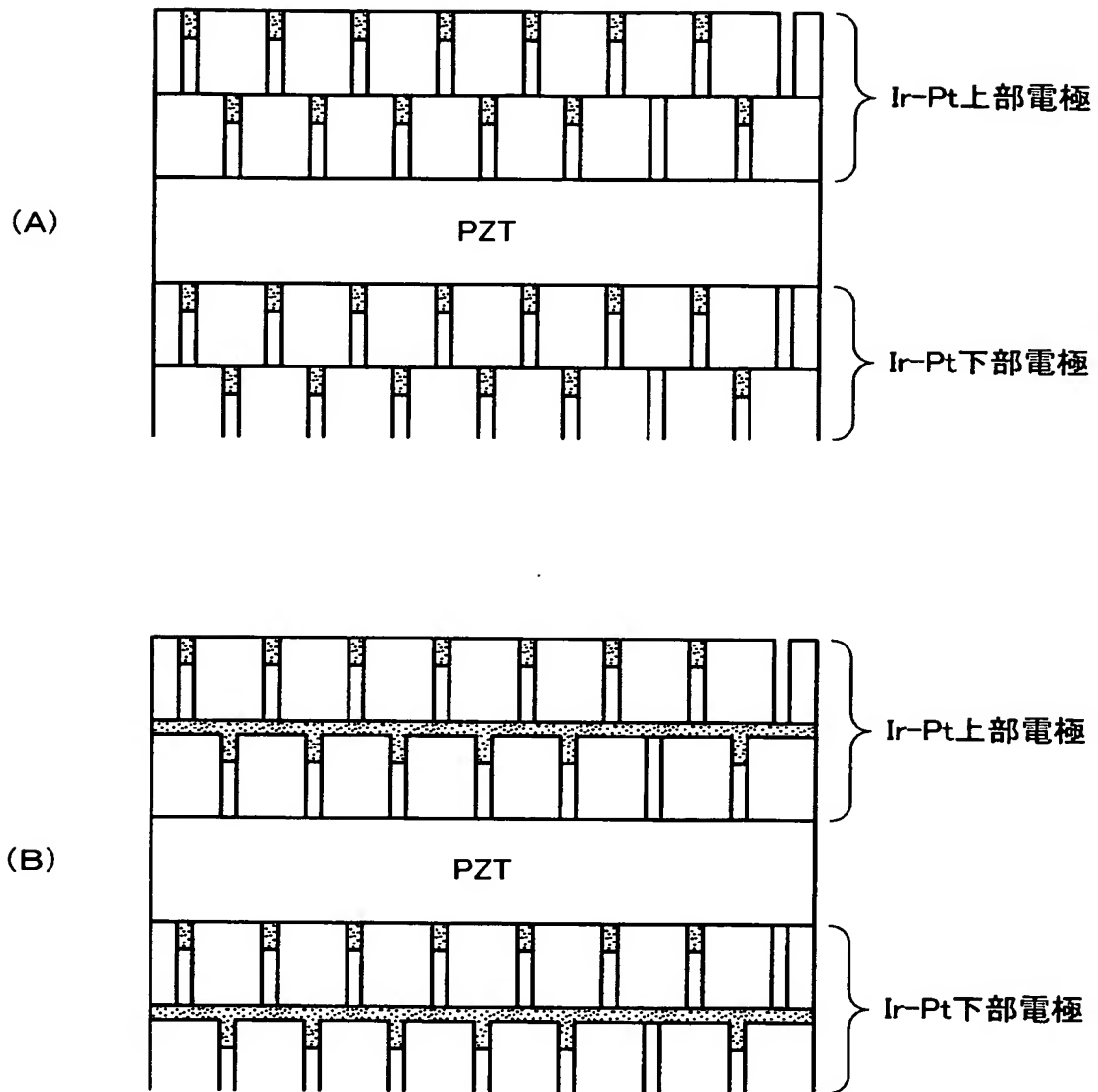
【図 14】



【図 15】

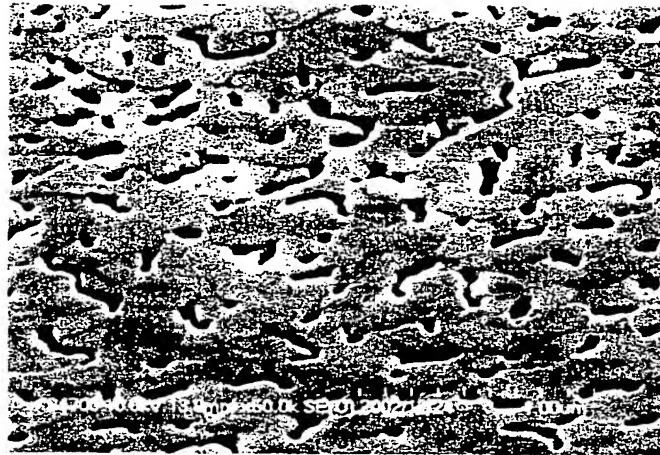


【図 16】

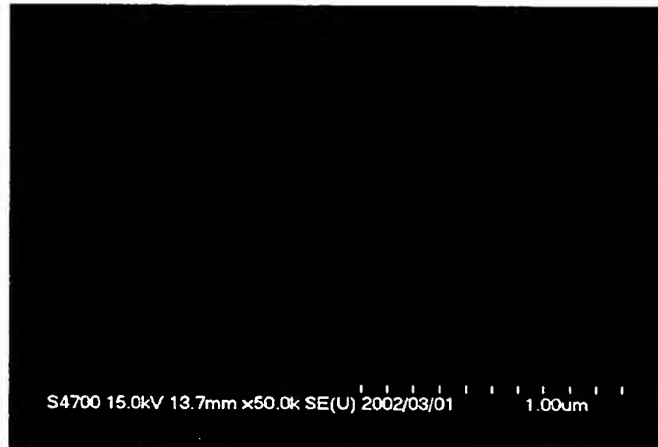


【図 17】

(A)



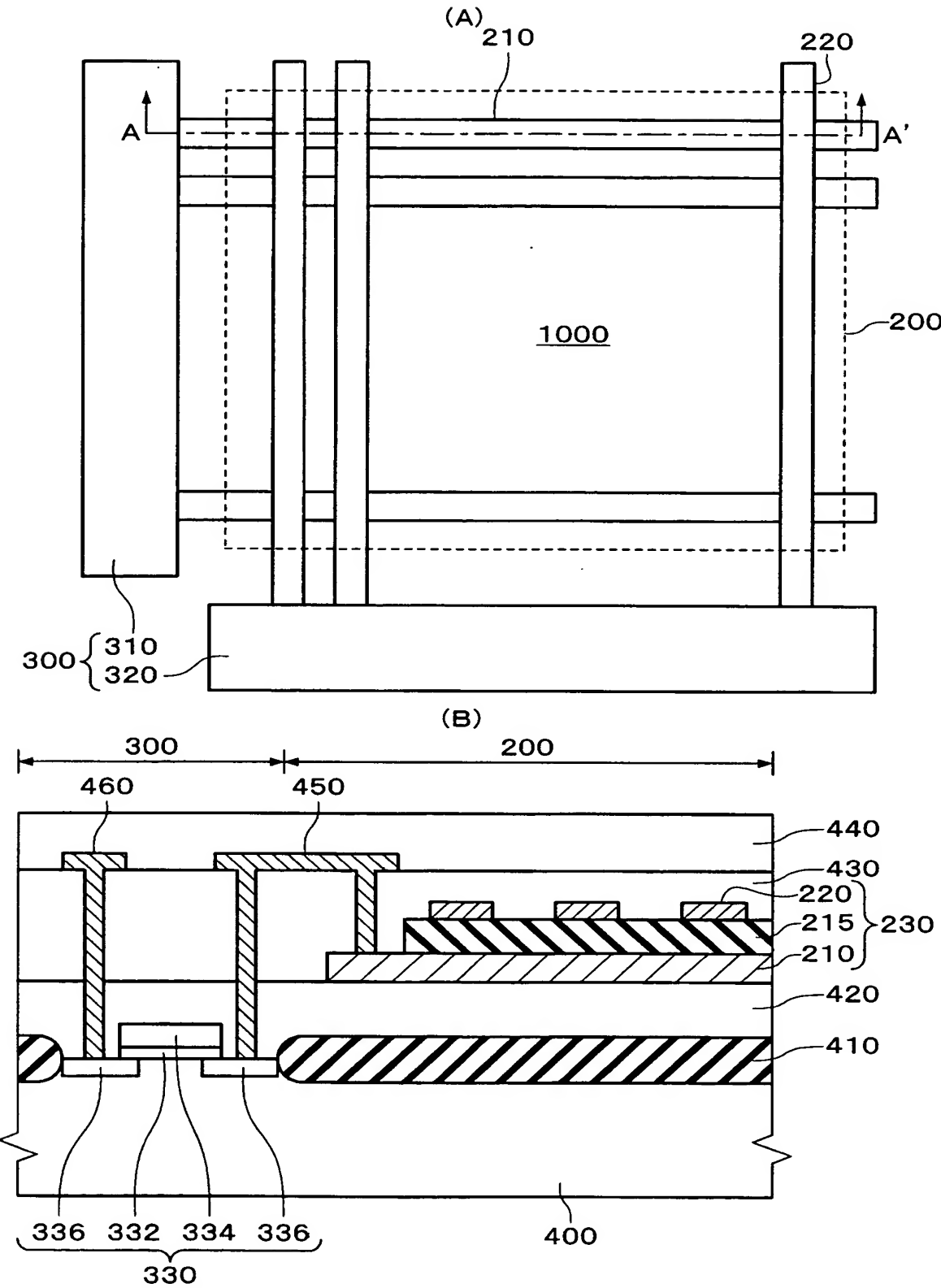
(B)



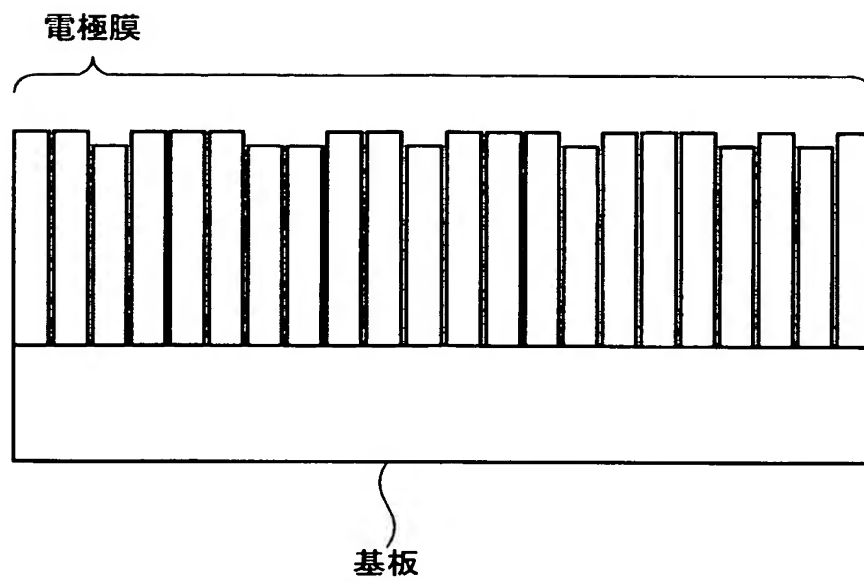
(C)



【図 18】



【図 19】





【書類名】 要約書

【要約】

【課題】 粒界が少なく、かつ結晶性および平坦性の良好な電極膜およびその製造方法を提供する。また、この電極膜を用いた強誘電体メモリおよび半導体装置を提供する。

【解決手段】 本発明の電極膜の製造方法は、基板 10 上に電極膜 40 を形成する製造方法であって、(a) 基板 10 上に電極材料の初期結晶核 20 を島状に形成し、(b) 初期結晶核 20 を成長させて電極材料の成長層 30 を形成することを含み、(a) における基板温度は、(b) における基板温度より高い。

【選択図】 図 1

認定・付加情報

特許出願の番号 特願 2003-080232
受付番号 50300470860
書類名 特許願
担当官 第五担当上席 0094
作成日 平成 15 年 3 月 27 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】 000002369
【住所又は居所】 東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】 セイコーエプソン株式会社

【代理人】

申請人

【識別番号】 100090479
【住所又は居所】 東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM
ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】 井上 一

【選任した代理人】

【識別番号】 100090387
【住所又は居所】 東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM
ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】 布施 行夫

【選任した代理人】

【識別番号】 100090398
【住所又は居所】 東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM
ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】 大淵 美千栄

次頁無

特願 2 0 0 3 - 0 8 0 2 3 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社